

## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020072654 A  
(43) Date of publication of application: 18.09.2002

(21) Application number: 1020010012600  
(22) Date of filing: 12.03.2001

(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72) Inventor: CHO, JUN GYU  
CHO, MAN HO  
CHOI, CHEOL JUN  
HUH, SEONG JUN  
KOO, JA HEUM

(51) Int. Cl H01L 21/336

## (54) METHOD FOR FORMING METAL GATE

## (57) Abstract:

PURPOSE: A method for forming a metal gate is provided to prevent whisker capable of causing electric short between adjacent gates after a selective oxidation process is performed for preventing abnormal oxidation of the metal gate.

CONSTITUTION: A gate insulating layer and several gate material layers, having a metal layer are conventionally formed on a semiconductor substrate and then etched to form a gate pattern(200). Next, the selective oxidation process is performed to selectively form a silicon oxide layer(120a) and minimize the oxidation of the metal layer. Here, due to an incomplete selective oxidation, a thin metal oxide layer(20b) is also formed on sidewalls of the metal layer. After the selective oxidation process, a heat treatment process is performed by using a gas containing hydrogen atoms to prevent whisker from occurring on the metal oxide layer(20b). The heat treatment process suppresses the surface mobility of the metal oxide layer and the nucleation of the whisker.

&copy; KIPO 2003

## Legal Status

Date of final disposal of an application (20040126)  
Number of trial against decision to refuse (2004101000725)  
Date of requesting trial against decision to refuse (20040224)

특 2002-0072654

(19) 대한민국특허청 (KR)  
(12) 공개특허공보(A)(51) Int. Cl.  
H01L 21/336(11) 공개번호 특 2002-0072654  
(43) 공개일자 2002년 09월 18일

(21) 출원번호	10-2001-0012600
(22) 출원일자	2001년 03월 12일
(71) 출원인	삼성전자 주식회사
(72) 발명자	경기 수원시 팔달구 매탄3동 416 조만호 서울특별시 서대문구 연희3동 51-32호 일립하우스 101호 구자홍 경기도 성남시 분당구 구미동 (무지개마을) 건영아파트 1004동 1003호 최철준 경기도 고양시 덕양구 행신 1동 센터마을 301동 1304호 조준규 광주광역시 북구 증평 2동 335-28 허성준 서울특별시 송파구 신천동 시영아파트 99-105 임창현, 권혁수
(74) 대리인	

설사경구 : 있을

## (54) 금속 게이트 형성 방법

## 요약

금속 게이트 전극 형성 방법에 있어서, 선택적 산화 공정 후 수소 원자를 함유하는 가스 분위기에서 열처리 공정이 진행된다. 상기 열처리 공정은 선택적 산화 공정에 따른 금속 산화물을 환원반응에 의해 제거하거나, 또는 금속 산화물을 내에 수소 원자를 포함시켜 웨스커 학행성을 방지하고 표면 미등도를 억제한다.

## 도표도

## 도 3b

## 영세서

## 도면의 간단한 설명

도 1a 및 도 1b는 종래 금속 게이트 형성 방법에 따른 문제점을 설명하기 위한 반도체 기판의 단면도이다.

도 2a 및 도 2b는 종래 또 다른 금속 게이트 형성 방법에 따른 문제점을 설명하기 위한 반도체 기판의 단면도이다.

도 3a 및 도 3b는 본 발명에 따른 금속 게이트 형성 방법을 설명하기 위한 공정 순서에 따른 반도체 기판의 단면도이다.

도 4a: 종래 게이트 패턴 형성 후 선택적 산화 공정을 진행한 후의 반도체 기판의 전자튜과 현미경 사진이다.

도 4b는 본 발명에 따른 게이트 패턴 형성 후 선택적 산화 공정을 진행한 후의 반도체 기판의 전자튜과 현미경 사진이다.

도 5a는 도 4a의 반도체 기판에 대해 열처리를 진행한 후의 반도체 기판의 전자튜과 현미경 사진이다.

도 5b는 도 4b의 반도체 기판에 대해 열처리를 진행한 후의 반도체 기판의 전자튜과 현미경 사진이다.

\* 도면의 주요 부분에 대한 부호의 설명

100 : 반도체 기판 120 : 게이트 산화막

140 : 폴리실리콘 150 : 도전성 장벽막

160 : 금속막180 : 게이트 캡핑막

200 : 게이트 패턴

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 더욱 상세하게는 금속 게이트 형성 방법에 관한 것이다.

반도체 제조 공정에서, 모스 트랜지스터의 게이트 전극은 일정한 두께를 가지는 도전성 막질을 반도체 기판 상에 형성하여 일정한 모양으로 칕각하여 형성한다. 통상적으로 사용되는 게이트 전극 막질은 게이트 산화막에 대해서 고온에서 우수한 계면 특성을 가지는 폴리실리콘이 사용된다. 하지만, 반도체 소자가 경제적인 관점에서 점점 고집적화에 따라 통상적인 폴리실리콘 게이트 전극으로는 고집적화 추세에 부응하여 적당한 동작 속도 및 게이트 전극의 면적률을 만족시킬 수가 없게 되었다. 이에 따라 최근 폴리실리콘 상부에 고용점(금속, 예를 들면, 텁스텐 등을 적용하여 금속 게이트 전극을 형성하고 있다.

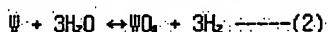
하지만, 금속 게이트 전극으로 사용되는 텁스텐 등은 산화가 매우 잘되어 이상 산화(abnormal oxidation)가 일어나 여러 가지 문제점을 발생시키고 있다.

도 1a 및 도 1b 그리고 도 2a 및 도 2b는 종래 금속 게이트 형성 방법에 따른 이상 산화 및 위스커 발생을 설명하기 위한 단면도이다.

먼저 도 1을 참조하면, 반도체 기판(10) 상에 게이트 산화막(12)이 형성된다. 상기 게이트 산화막(12) 상에 폴리실리콘막(14), 텁스텐막(16) 및 게이트 캡핑막(18)이 순차적으로 형성된다. 비록 도면에는 도시하지 않았지만, 상기 폴리실리콘막(14) 및 상기 텁스텐막(16) 사이에는 이를 사이의 반응을 방지하기 위한 도전성 장벽막이 더 형성된다. 어어서 상기 적층된 막질들(18, 16, 14, 12)을 칕각하여 금속 게이트 전극, 패턴(20)을 형성한다. 이때, 칕각에 따른 손상(침조번호 22) 및 게이트 산화막의 신뢰성을 확보하기 위해 통상적으로 산화 공정이 진행된다. 이때 실리콘막(14) 축벽에 산화막(12a)이 얇게 형성된다. 하지만 텁스텐은 실리콘에 비해서 산화 속도가 월등히 크기 때문에 도 1b에 도시된 바와 같이 이상 산화(abnormal oxidation; 12b)가 일어난다. 이를 경우, 후속 축벽 스페이서 형성 공정에서 이상 산화가 일어난 부분에 제대로 스페이서가 형성되지 못하여 후속 열처리 공정 등에서 미꽃을 통해 또한 산화가 일어나거나, 스페이서 실리콘 절화막 증착시 위스커가 발생할 수 있다.

따라서 상기와 같은 금속 게이트 전극에서 발생되는 이상 산화를 방지하기 위해 선택적 산화 공정이 널리 사용되고 있다. 선택적 산화 공정(selective oxidation)은 게이트 칕각후 게이트 산화막의 신뢰성 확보 및 칕각 손상을 치유하기 위해 실리콘에 대해서만 선택적으로 산화시키고 금속에 대해서는 산화를 시키는 항은 공정으로 산소 가스 및 수소 가스를 제어하여 결국 수증기 및 수소 가스의 분압을 조절하여 선택적으로 실리콘을 산화 시킨다.

예를 들어 습식 수소 산화(wet hydrogen oxydation) 같은 선택적 산화 공정은 아래와 같은 화학 반응을 제어함으로써 실리콘만을 산화하고 있다.



즉, 적절하게 수증기 및 수소 가스 분압을 조절하여 상기 반응식 (1)에서는 평형상태에서의 반응이 오른쪽으로 향하게 하고, 반응식 (2)에서는 왼쪽으로 향하게 하여 텁스텐의 산화를 방지한다.

하지만 실리콘만이 산화하도록 수증기 및 수소 가스의 분압을 조절하기는 매우 어려우며 따라서 도 2a에 나타나 바와 같이 어느 정도의 텁스텐은 산화한다. 또한 이렇게 형성된 텁스텐 산화막(12c)은 후속 반도체 제조 공정 중의 여러 열처리 단계에서 열적 에너지(thermal energy)에 기인하여 도 2b에 도시된 바와 같이 위스커 (whisker, 24)를 형성하게 된다. 이러한 위스커(24)는 인접한 게이트 전극 사이에 전기적인 쇼트를 유발하게 된다.

위스커(24)의 발생은 텁스텐 산화막(12c) 표면의 비정질 상태(amorphous phase)와 위스커를 발생시키는 핵형성(nucleation)이 존재하기 때문이다. 따라서 후속 열처리 공정에서 열적 에너지에 의해 비정질 상태 때문에 상기 텁스텐 산화막(12c)의 표면 운동성(surface mobility)이 증가하고 또한 이들이 핵형성 자리로 이동을 하여 그곳에서 결정화하고 이러한 과정이 반복되어 위스커가 발생한다.

#### 발명이 이루고자 하는 기술적 효과

따라서 본 발명은 상술한 제반 문제점을 해결하기 위해 제안 된 것으로서, 선택적 산화 공정 이후, 텁스텐 산화막의 결함을 치유하여 핵형성을 억제하고 또한 표면 운동성을 억제하여 위스커 발생을 방지함으로써 신뢰성 있는 금속 게이트 전극을 형성하는 방법을 제공하는 데 그 목적이 있다.

#### 발명의 구성 및 작용

##### (구성)

상술한 기술적 과제를 해결하기 위한 본 발명에 따른 금속 게이트 형성 방법은, 게이트 칕각후 진행되는

선택적 산화 공정 이후에 위스커를 방지하기 위한 열처리 공정을 진행하는 것을 특징으로 한다. 상기 열처리는 상기 선택적 산화 공정으로 형성되는 금속 산화막의 표면 이동도를 억제하고 위스커 핵형성을 방지한다.

또한 상기 열처리는 수소 원자에 의한 환원반응에 의해서 상기 금속 산화막을 일부 제거하기도 한다.

좀 더 구체적으로 상기 열처리는 수소 원자를 함유하는 가스 분위기에서 진행한다. 적합한 가스로는 수소, 암모니아 또는 이들의 혼합 가스 중 어느 하나 이상을 사용한다. 수소 원자를 함유하는 가스가 상기 금속 산화막 내에 침투하여 핵형성 자리를 제공하는 막질 결합 등을 치유하고 또한 그곳에 머물러 막질의 표면 이동을 방해하는 물리적 장애물로 작용한다.

바람직한 실시예에 있어서, 열처리 공정 균일도를 향상시키기 위해 질소 가스 또는 마르콘 가스를 더 추가할 수 있다.

#### (실시예)

미하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 3a 및 도 3b 본 발명의 실시예에 따른 따른 금속 게이트 형성 방법을 설명하기 위한 단면도이다.

본 발명은 금속 게이트 형성에 관한 것으로서, 게이트 산화막 형성 이전까지 통상적으로 진행되는 공정, 예를 들어 소자 분리 공정, 헬 형성, 미온 주입, 공정 등에 관하여는 설명을 생략한다.

먼저 도 3a를 참조하면, 반도체 기판(100) 상에 게이트 절연막(120)이 통상적인 방법으로 형성된다. 열 산화, 공정 또는 화학적, 기상증착 공정을 통해 형성한다. 이어서, 게이트 전극 풀질로 풀리실리콘막(140), 장벽 금속막(150) 및 금속막(160) 그리고 게이트 캡핑막(180)을 차례로 형성한다. 예를 들어 상기 장벽 금속막(150)은 텁스텐 질화막으로 형성하고 상기 금속막(160)은 텁스텐으로 형성하고 상기 캡핑막(180)은 실리콘 질화막으로 형성한다. 상기 장벽 금속막(150)은 상기 풀리실리콘막(140) 및 상기 금속막의 텁스텐 사이의 반응을 방지하기 위한 것이다. 상기 금속막(160)으로 텁스텐 이외에 고융점 금속을 사용할 수 있으며, 상기 장벽막(150)으로 타이늄 질화막을 사용할 수 있다.

다음 상기 적용된 막질들(180, 160, 150, 140, 120)을 사진 공정을 통해 식각하여 게이트 패턴(200)을 형성한다. 다음 게이트 패턴(200) 형성을 위한 식각 공정의 순상을 제거하고 게이트 산화막의 신뢰성을 확보하기 위해 열산화 공정을 진행한다. 이때, 금속막(160)의 산화는 최소화하면서 노출된 반도체 기판 표면에 산화막을 형성하기 위해 실리콘에 대한 선택적 산화 공정이 진행된다.

이때, 상기 실리콘에 대한 선택적 산화 공정이 완전하지 못하기 때문에, 상기 풀리실리콘(140) 측벽에 실리콘 산화막(120a)이 형성될 뿐만 아니라, 상기 금속막(160) 측벽에도 얇게 금속 산화막(120b)이 형성된다(도 3b 참조).

따라서, 상기 금속 산화막(120b)이 후속 여러 단계의 열처리 공정에서 위스커가 발생하는 것을 방지하기 위한 위스커 방지 열처리 공정이 진행된다. 위스커를 방지하기 위해 위스커 발생 원인인 위스커 핵형성을 억제하고 또한 금속 산화막의 표면 이동도를 억제하는 것이 필요하다. 다른 방법으로 상기 금속 산화막(120b)을 환원시켜 이를 제거할 수도 있다.

이를 위해 수소 원자를 함유하는 가스를 사용하여 위스커 방지 열처리를 진행한다. 수소 원자를 함유하는 가스로는 수소 가스, 암모니아 가스 또는 이들의 혼합가스를 사용할 수 있다. 상기 열처리로 인해 수소 원자를 함유하는 가스가 상기 금속 산화막(120b)에 침투하여 핵형성 자리를 제공하는 막질 결합 등을 치유하거나 또는 상기 금속 산화막(120b) 막질 자체 내에 존재하여 표면 이동을 방해하는 물리적 장애물로서 작용하게 된다. 이에 따라 후속 열처리 공정에서 위스커의 발생을 억제한다.

더 바람직하게는 상기 수소 원자를 함유하는 가스가 균일하게 막질내에 침투하도록 불활성 가스인 질소 가스 또는 마르콘 가스 등을 더 첨가할 수 있다.

상기 열처리 온도는 약 100°C에서 약 1200°C 범위이다.

도 4 및 도 5를 참조하여 본 발명에 따른 효과를 살펴본다.

도 4a 증래 게이트 패턴 형성후 선택적 산화 공정을 진행한 후의 반도체 기판의 전자투과 현미경 사진이며, 도 4b는 본 발명에 따른 게이트 패턴 형성후 선택적 산화 공정을 진행한 후의 반도체 기판의 전자투과 현미경 사진이다. 실험에서 금속 게이트 전극으로 풀리실리콘-텅스텐막의 저층막을 사용하였다. 한편, 도 5a는 도 4a의 반도체 기판에 대해 열처리를 진행한 후의 반도체 기판의 전자투과 현미경 사진이며, 도 5b는 도 4b의 반도체 기판에 대해 열처리를 진행한 후의 반도체 기판의 전자투과 현미경 사진이다.

먼저 도 4a를 참조하면, 증래 방법에 따라 게이트 패턴 형성후 선택적 산화 공정을 약 1000°C에서 진행한 후 질소 불활성에서 열처리를 진행해 보았다. 그 결과 도 5a에 도시된 바와 같이 텁스텐막 산화막에 위스커가 발생하여 인접한 게이트 패턴 사이에 전기적 브리지가 형성됨을 알 수 있었다.

한편, 도 4b를 참조하여, 본 발명에 따라 게이트 패턴 형성 후 1000°C에서 선택적 산화 공정을 진행하고 미어서 암모니아 분위기에서 약 60초 동안 에서 위스커 방지 열처리 공정을 진행하였다. 미어서 위스커 발생 여부를 알아보기 위해 질소 분위기에서 약 60초간 열처리를 진행하였다. 그 결과 도 5b에 도시된 바와 같이 텁스텐막에 위스커가 발생하지 않음을 확인할 수 있었다.

#### 발명의 효과

따라서 상술한 본 발명에 따르면, 선택적 산화 공정 이후, 수소 원자를 함유하는 가스 분위기에서 열처리를 진행하여, 금속 산화막에 수소 원자를 침투시킴으로서, 위스커 발생 요건인 위스커 핵형성을 억제하거

나 금속 산화막의 표면 미동도를 방해한다. 이로 인해 금속 게이트 공정에서 금속 산화막의 위스커 형성을 방지한다.

바람직한 실시예에 의거하여 본 발명이 기술되었지만, 본 발명의 범위는 여기에 한정되는 것은 아니다. 오히려, 다양한 변형 및 비슷한 배열들도 포함된다. 따라서 본 발명의 청구범위의 전정한 범위 및 사상은 다양한 변형 및 비슷한 배열을 포함할 수 있도록 가장 넓게 해석되어야 한다.

#### (57) 청구의 범위

**청구항 1.** 실리콘 반도체 기판 상에 실리콘막-도전성 장벽막-금속막으로 이루어진 금속 게이트를 형성하는 방법에 있어서,

실리콘에 대한 선택적 산화 공정 직후 수소 원자를 함유하는 가스를 사용하여 열처리를 진행하는 것을 특징으로 하는 금속 게이트 형성 방법.

**청구항 2.** 제 1 항에 있어서,

상기 수소 원자를 함유하는 가스는 수소 가스, 암모니아 가스 또는 이들의 혼합 가스이며, 상기 열처리는 이들 가스 중 어느 하나 이상을 사용하는 것을 특징으로 하는 특징으로 하는 금속 게이트 형성 방법.

**청구항 3.** 제 1 항 또는 제 2 항에 있어서,

상기 수소 원자를 함유하는 가스는 수소 가스, 암모니아 가스 또는 이들의 혼합 가스이며, 상기 열처리는 이들 가스 중 어느 하나 이상을 사용하는 것을 특징으로 하는 특징으로 하는 금속 게이트 형성 방법.

**청구항 4.** 제 1 항 또는 제 2 항에 있어서,

상기 열처리는 상기 선택적 산화 공정으로 형성되는 금속 산화막(metal oxide)을 환원반응에 의해 제거하는 것을 특징으로 하는 금속 게이트 형성 방법.

**청구항 5.** 제 1 항 또는 제 2 항에 있어서,

상기 열처리는 질소 가스 또는 아르곤 가스를 더 포함하는 것을 특징으로 하는 금속 게이트 형성 방법.

**청구항 6.** 실리콘 반도체 기판 상에 실리콘막, 텐스텐 질화막 그리고 텐스텐막을 차례로 적층하는 단계;

상기 적층된 막질을 패터닝하여 금속 게이트 패턴을 형성하는 단계;

실리콘에 대해서 선택적 산화 공정을 진행하는 단계; 및

수소 원자를 함유하는 가스를 사용하여 열처리하는 단계를 포함하여 이루어지는 것을 특징으로 하는 금속 게이트 형성 방법.

**청구항 7.** 제 6 항에 있어서,

상기 수소 원자를 함유하는 가스는 수소 가스, 암모니아 가스 또는 이들의 혼합 가스이며, 상기 열처리는 이들 가스 중 어느 하나 이상을 사용하는 것을 특징으로 하는 금속 게이트 형성 방법.

**청구항 8.** 제 6 항에 또는 제 7 항에 있어서,

상기 열처리는 질소 가스 또는 아르곤 가스를 더 포함하는 것을 특징으로 하는 금속 게이트 형성 방법.

**청구항 9.** 제 6 항에 있어서,

상기 열처리는 상기 선택적 산화 공정으로 형성되는 텐스텐 산화막을 환원반응에 의해 제거하는 것을 특징으로 하는 금속 게이트 형성 방법.

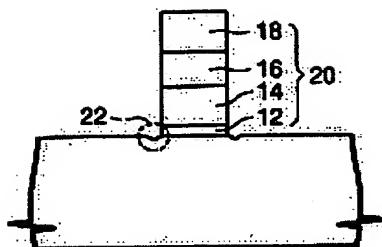
**청구항 10.** 제 6 항에 있어서,

상기 열처리는 상기 선택적 산화 공정으로 형성되는 텐스텐 산화막의 표면 미동도 및 위스커 핵형성을 억제하여 후속 열처리 공정에서 위스커 발생을 방지하는 것을 특징으로 하는 금속 게이트 형성 방법.

#### 도면

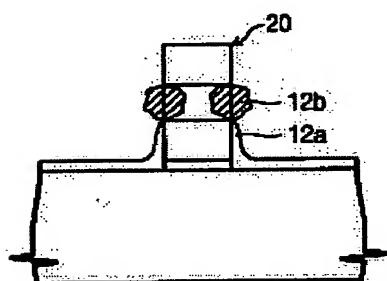
도면 1

(종래 기술)



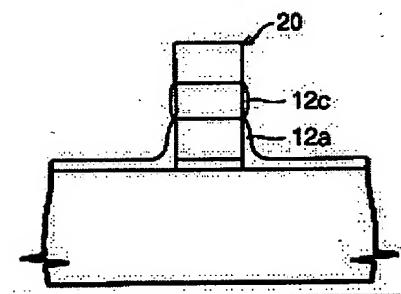
도면 2

(종래 기술)



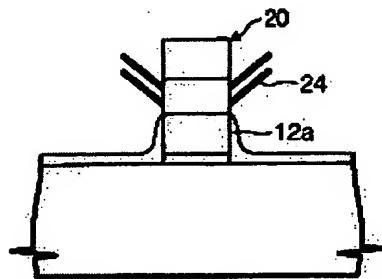
도면 3

(종래 기술)

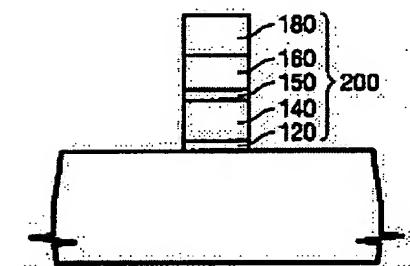


도면2

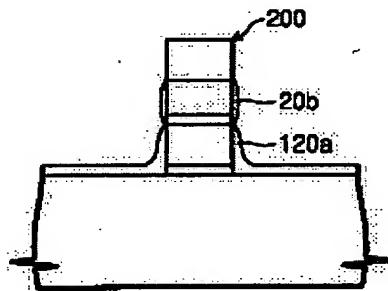
(종래 기술)



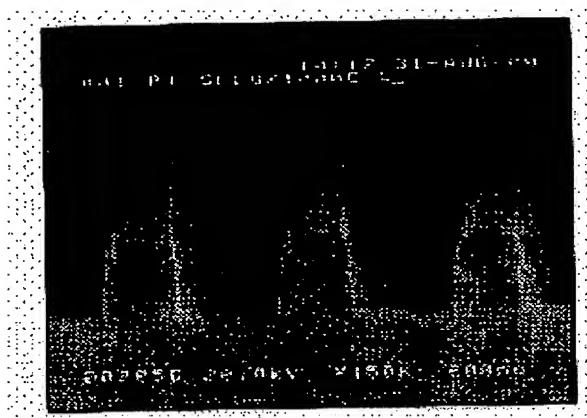
도면3a



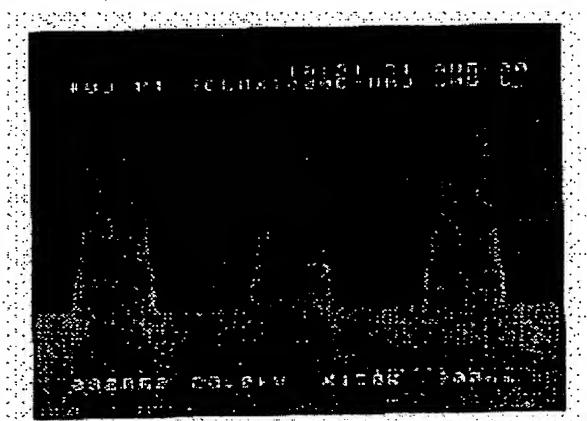
도면3b



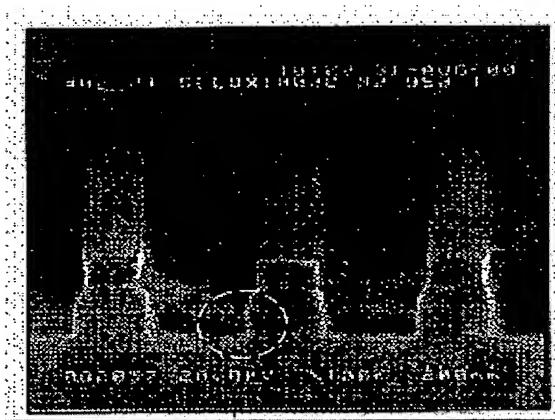
五〇四



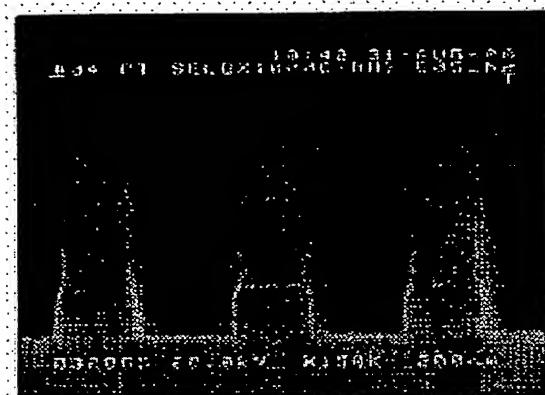
584



585



505



8-8

BEST AVAILABLE COPY